

PAT-NO: JP359161851A  
DOCUMENT-IDENTIFIER: JP 59161851 A  
TITLE: ELECTRONIC COMPONENT PARTS  
PUBN-DATE: September 12, 1984

INVENTOR- INFORMATION:

NAME  
YOSHIDA, HISASHI

ASSIGNEE- INFORMATION:

NAME	COUNTRY
HITACHI TOKYO ELECTRONICS CO LTD	N/A
HITACHI LTD	N/A

APPL-NO: JP58036040

APPL-DATE: March 7, 1983

INT-CL (IPC): H01L023/48, H01L023/12 , H01L023/28

US-CL-CURRENT: 257/696, 257/730 , 257/787 , 257/E23.124

ABSTRACT:

PURPOSE: To eliminate the entanglement of leads with each other by making the tip of an outer lead not project outside the sealed body by a method wherein a recess to contain the outer lead is provided in the sealed body in the electronic component parts having the outer lead projecting out of the sealed body.

CONSTITUTION: A semiconductor pellet 3' is fixed on a tab which is the pellet mounting part of the lead frame 1, and the pellet 3' is bonded to the

inner lead parts of the frame 1 by means of wires 3. Next, the pellet 3' and the wires 3 are sealed in a resin molded type package 4. At this time, side grooves 6a are provided at the positions corresponding to the outer leads 5 of the frame 1 of the outer wall surface of the package 4, and a bottom groove 6b connecting to said grooves is formed at the bottom surface. Thereafter, the leads 5 are bent in J-shape along the grooves, and then the whole leads 5 are contained in the grooves. Thus, the leads 5 are never exposed out of the package, and solders 7 provided on the leads 5 are exposed only at the end parts of the leads.

COPYRIGHT: (C)1984,JPO&Japio

⑯ 日本国特許庁 (JP) ⑯ 特許出願公開  
 ⑯ 公開特許公報 (A) 昭59—161851

⑯ Int. Cl. <sup>3</sup> H 01 L 23/48 23/12 23/28	識別記号 厅内整理番号 7357—5F 7357—5F 7738—5F	⑯ 公開 昭和59年(1984)9月12日 発明の数 1 審査請求 未請求
---	---	---

(全 5 頁)

⑯ 電子部品

⑯ 特 願 昭58—36040  
 ⑯ 出 願 昭58(1983)3月7日  
 ⑯ 発明者 吉田恒  
 青梅市藤橋3丁目3番地の2日  
 立青梅電子株式会社内

⑯ 出願人 日立青梅電子株式会社  
 青梅市藤橋3丁目3番地の2  
 ⑯ 出願人 株式会社日立製作所  
 東京都千代田区丸の内一丁目5  
 番1号  
 ⑯ 代理 人 弁理士 高橋明夫 外1名

明細書

発明の名称 電子部品

特許請求の範囲

1. 封止体および該封止体外に突出する外部リードを有する電子部品において、封止体に外部リードを収容する凹部を形成したことを特徴とする電子部品。

発明の詳細な説明

【技術分野】

本発明は電子部品、特に、封止体外に突出する外部リードを有する電子部品に適用して有効な電子部品に関する。

【背景技術】

一般に、ダイオードトランジスタ、集積回路 (I C)、あるいは大規模集積回路 (LSI) の如き半導体装置においては、パッケージ等の封止体外に外部リードが突出した構成となっているのが通常である。この外部リードはプリント基板等の被実装物の孔の中に挿入して半田付け等で固定される。

ところで、このような外部リードは検査や実装等では必要であるが、そのために電子部品をハンドリングする場合には特に必要とされるものではない。すなわち、電子部品の検査やプリント基板への実装のような何らかの処理を行うような場合、電子部品はその都度ハンドリングが要求される。

しかし、ハンドリング時にたとえば多数の電子部品をホッパーに一括投入するような場合、外部リードどうしが互に絡まり合うので、電子部品を1個ずつマガジンまたはキャリアに収納してハンドリングすることが必要であり、作業工数が増加するという問題がある。

また、電子部品は実装密度ができるだけ小さい方が望ましいが、外部リードが突出していることにより空間占有面積が相当大きくなってしまうという問題がある。

さらに、たとえばプリント基板に電子部品を取り付ける場合にも、外部リードをプリント基板の孔に挿入する必要があり、プリント基板に孔を穿けることが要求され、製造工数およびコストが増

BEST AVAILABLE COPY

半導体ペレット2およびワイヤ3は一例としてレジンモールド型のパッケージ4の中に封止されている。

本実施例のパッケージ4の外壁面のうち、リードフレーム1の外部リード5と対応する位置における両側壁面には側溝6aが形成され、底壁面には側溝6aとつながる底溝6bが形成されており、三方に溝6a、6bが形成されており、三方に溝6a、6bが設けられていることになる。

リードフレーム1の外部リード5はこの溝6の中にいて該溝6に沿ってコ字状に折り曲げられた形状となっており、外部リード5の全体が溝6の中に収容され、外部リード5自体はパッケージ4の外部には全く突出していない。

そのため、本実施例では、外部リード5と被実装面との電気的接続を行うように、外部リード5の底面に半田7が被着されており、この半田7の厚さはその底面がパッケージ4の底面から僅かに突出するようになっている。

したがって、本実施例によれば、半導体装置の

加する上に、プリント基板の孔への外部リードの挿入も困難であるという問題がある。

#### 【発明の目的】

本発明の目的は、ハンドリングや実装等の容易な電子部品を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

#### 【実施例1】

第1図(a)は本発明による電子部品の実施例1を示す正面図、第1図(b)は同図(a)のI—I線断面図である。

本実施例1は本発明を一例としていわゆるデュアルインライン型パッケージを有する半導体装置に適用したものである。

この半導体装置において、リードフレーム1のペレット取付部(タブ)上には半導体ペレット2が取り付けられ、この半導体ペレット2とリードフレーム1のインナーリード部との間はワイヤ3によりボンディングされている。

パッケージ4の外部にリードフレーム1の外部リード5が全く突出しておらず、単に被実装面への接続用の半田7が僅かに突出しているだけであるので、パッケージ4の封止後に外部リード5の半田ディップ、マーキング、特性検査、プリント基板等への実装等の工程を行う場合に、半導体装置の外部リード5どうしが絡まり合うことがなく、ハンドリングが極めて容易で、多數の半導体装置をばら状態でバーツフィーダのホッパに入れてハンドリングすることが可能となり、従来のように1個ずつマガジンに収納する必要がなくなる。また、たとえば、外部リード5の半田ディップを行う場合にも、隣接する外部リード5どうしが溝6a、6b間のパッケージ壁面で隔離されているので、半田が隣接する外部リード5間にブリッジを形成してショート不良を起こすおそれもなくなる。

勿論、外部リード5がパッケージ4外に突出していないので、従来に比べて外部リード5の突出分だけ空間占有面積を小さくすることができる。

さらに、本実施例1の半導体装置をたとえばブ

リント基板に実装する場合、第2図(a)、(b)に示すように、外部リード5の底面の半田7をプリント基板8の半田層9上に面付けすることにより実装できるので、従来のようにプリント基板8に外部リード挿入用の孔を穿けておく必要がなく、また外部リードとプリント基板の被実装面との位置合わせが容易となる。

#### 【実施例2】

第3図(a)は本発明の実施例2を示す正面図、同図(b)はそのII-II線断面図である。

この実施例2においては、パッケージ4の外部リード収容用の溝は側溝6aのみであり、パッケージ底壁面には溝が設けられていない。また、実施例2では、外部リード5の下端のみがパッケージ4の底面から若干突出しており、またその突出部底面には半田7が被着されているが、外部リード5はパッケージ4の側面方向には全く突出していない。しかも、外部リード5の突出量はごく僅かな寸法である。

したがって、本実施例でも、半導体装置のハ

ドリングが容易である他、空間占有面積も小さく、実装も容易である等の利点が得られる。

## 〔実施例3〕

第4図(a)は本発明の実施例3を示す正面図、同図(b)はそのIV-IV線断面図である。

この実施例3では、パッケージ4の外部リード収容用の溝は底壁面の底溝6bのみが設けられ、側面には溝が形成されていない。

その結果、本実施例3における外部リード5はパッケージ4の側面から一部突出しているが、下端部は底溝6bの中に収容され、半田7がパッケージ底面から僅かに突出しているだけである。

したがって、本実施例3の場合でも、外部リード5の先端部がパッケージ4の外部に突出しておらず、僅かに側壁面から中間部がループ状に突出しているだけであるので、外部リード5どうしが絡まり合うことがなく、ハンドリングが容易で、空間占有面積も小さい上に、実装も容易である。

## 〔実施例4〕

第5図(a)は本発明の実施例4を示す正面図、同

図(b)はそのV-V線断面図である。

この実施例4は、外部リード収容用の溝が側溝6aと底溝6bの両方共に設けられている点では第1図の実施例1と同じであるが、本実施例では外部リード5の2つの折り曲げ部5a、5bが鋭角的に曲げられかつ両折り曲げ部5a、5bのみがパッケージ4の外側に僅かに突出している。

したがって、この実施例4の場合にも、リードフレーム1の外部リード5の先端部が底溝6bの中に収容されているので、外部リード5どうしがハンドリング中に絡まり合うことはなく、空間占有面積も小さい上に、実装も容易である。

## 〔効果〕

(1) 本発明によれば、外部リード、特にその先端部が封止体の外側に突出しないことにより、外部リードどうしが絡まり合うことが防止され、ハンドリングが容易となり、作業効率が向上する。

(2) また、外部リードが全くまたは僅かに一部分のみしか封止体の外側に突出しないことにより、電子部品の空間占有面積が減少する。

(3) さらに、被実装物に対して面付けができることにより、被実装物に実装用の孔を穿ける必要がなくなり、電子部品と被実装物との位置合わせが容易となる。

以上本発明者によってなされた発明を実施例にもとづき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

たとえば、外部リード収容用の凹部としては前記実施例1~4の如く側壁面または底壁面の全長にわたる溝の代わりに、たとえば外部リードの先端のみを挿入する凹部を形成すること等も可能である。

## 〔利用分野〕

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるレジンモードパッケージよりなるデュアルインライン型の半導体装置に適用した場合について説明したが、それに限定されるものではなく、たとえば、

ダイオード、トランジスタ、あるいは他の型式の半導体装置、抵抗、コンデンサ等の電子部品でも、封止体外に突出する外部リードを持つものであれば広く適用できる。

## 図面の簡単な説明

第1図(a)は本発明による電子部品の実施例1を示す正面図、

第1図(b)は同図(a)のI-I線断面図

第2図(a)は第1図(a)、(b)の電子部品実装状態を示す正面図、

第2図(b)は同図(a)のII-II線断面図、

第3図(a)は本発明の電子部品の実施例2を示す正面図、

第3図(b)は同図(a)のIII-III線断面図、

第4図(a)は本発明による電子部品の実施例3を示す正面図、

第4図(b)は同図(a)のIV-IV線断面図、

第5図(a)は本発明の電子部品の実施例4を示す正面図、

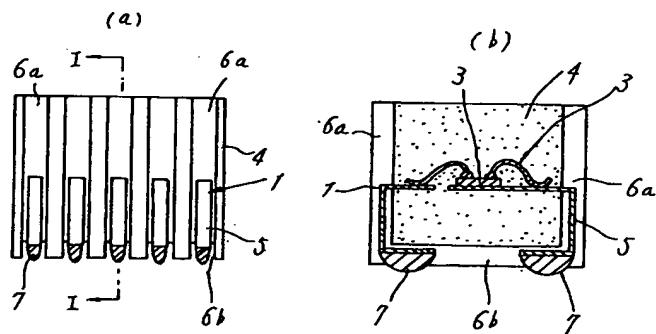
第5図(b)は同図(a)のV-V線断面図である。

1 … リードフレーム、2 … 半導体ペレット、3 … ワイヤ、4 … パッケージ（封止体）、5 … 外部リード、6a … 側溝（凹部）、6b … 底溝（凹部）、7 … 半田、8 … プリント基板（被実装物）。

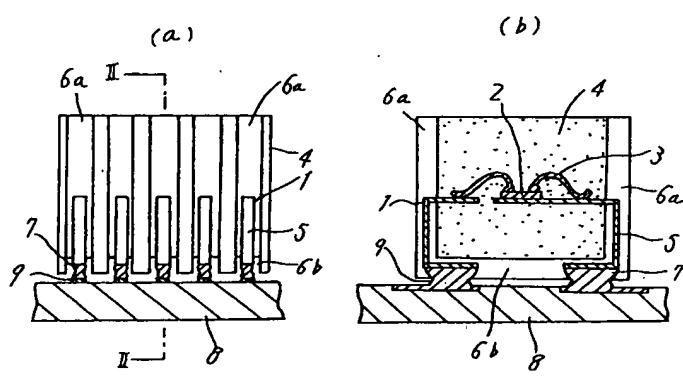
代理人 弁理士 高橋 明夫



第 1 図

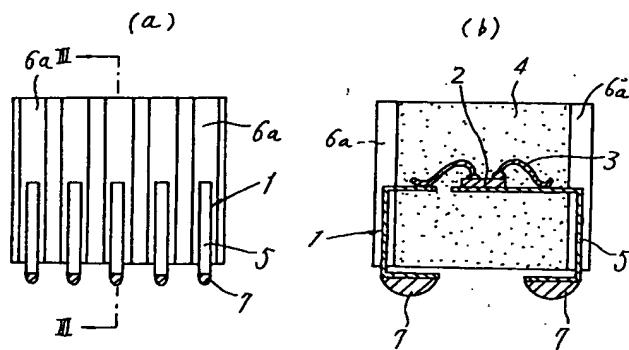


第 2 図

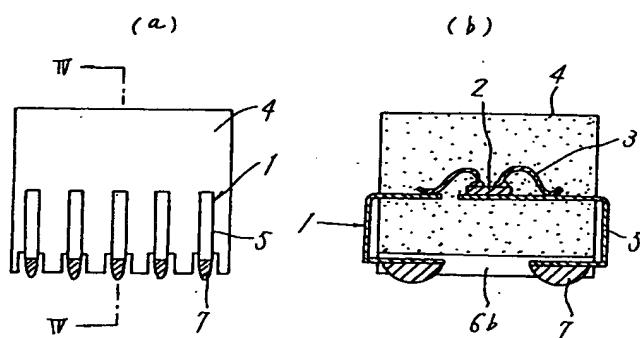


BEST AVAILABLE COPY

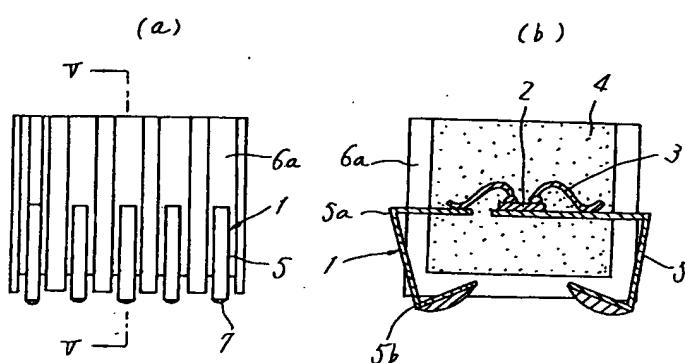
第3図



第4図



第5図



BEST AVAILABLE COPY